BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images, please do not report the images to the Image Problem Mailbox.

Japanese Patent Publication (Laid-Open) No. SHO-58-74080/1983

Publication Date: May 4, 1983

Application No. SHO-56-174121

Application Date: October 29, 1981

Convention Priority: Request for Examination: Made

Title of the Invention:

METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

Inventor: Shunpei Yamazaki

Address: c/o Semiconductor Energy Research Corporation

No. 21-21, Kitakarasuyama 7-chome, Setagayaku, Tokyo, Japan

Applicant: Semiconductor Energy Research Corporation

Address: No. 21-21, Kitakarasuyama 7-chome, Setagayaku, Tokyo, Japan

SPECIFICATION

1. Title of the Invention:

METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

2. CLAIMS

1. A method of manufacturing semiconductor device comprising;

a step of forming a laminate on first electric-conductive layer on a substrate by laminating a first semiconductor, a second semiconductor, and a third semiconductor being electrically conductive identical to said first semiconductor;

a step of forming said second and third semiconductors into such a shape substantially being identical to that of said first semiconductor;

a step of forming insulation matter on surfaces of said first, second, and third

semiconductors; and

a step of forming gate-electrode on gate-insulation matter on lateral side of said second semiconductor;

whereby said method forms insulation-gate type field-effect semiconductor device on said substrate.

2. The method of manufacturing semiconductor device set forth in Claim 1, wherein capacitor is formed on said substrate via a step of forming insulation matter on said first electric-conductive layer and a step of forming an electrode mainly comprising such a material being identical to that of gate-electrode.

3. DETAILED DESCRIPTION OF THE INVENTION

The present invention relates to such a semiconductor device provided with vertical-channel insulation-gate laminated type semiconductor units formed on a substrate, while the invention also relates to the method of manufacturing said semiconductor device.

Further, the invention also relates to such a semiconductor device being connected to source or drain of laminated insulation-gate type field-effect semiconductor device formed on a substrate or such a semiconductor device having a capacitor fitted on said substrate.

The invention features provision of such a composite semiconductor device formed on a substrate in matrix structure and also provision of liquid-crystal type display device.

In the case of providing a flat-surface type solid display device, such a liquid-crystal display unit is known, which disposes a pair of electrodes inside of

parallel glass sheets before feeding liquid crystal between the electrodes.

However, in this case, the number of picture elements of this display unit is limited in a range from 20 up to 200. If more than 200 of picture elements were needed, the number of terminals needed for extracting picture elements out from the display unit corresponds to the number of picture elements, and thus, such a display device cannot totally be offered for practical use. Because of this, in order to provide the display unit with plural picture elements to form matrix structure in order that the display can be turned ON or OFF by way of controlling optional picture elements, it was necessary to provide such a field-effect semiconductor device (called IGF) corresponding to the picture elements. Conventionally, control signal is delivered to the IGF to cause the corresponding picture elements to be turned ON or OFF.

Concrete application of the invention to the vertical-channel type IGF and the liquid crystal display had been described in detail in the specification of the application of this inventor for a Japanese Patent under the title "Insulation-gate type field-effect semiconductor device and its manufacturing method" as per the Application No. SHO-56-001767 and the other application under the title "Composite semiconductor device" as per the Application No. SHO-56-001768 filed on January 9, 1981. The present invention has further developed the previous arts cited above.

In the liquid-crystal display unit, equivalent circuit can be designated by means of a capacitor (called C in the following description). FIG. 1 exemplifies such a 2 x 2 matrix structure (40) comprising the IGF and capacitor C for example.

In FIG. 1, the matrix (40) composes a sole picture element by applying a single unit of IGF (10), a capacitor (31) filled with a single unit of liquid-crystal, and another capacitor (32) usable for providing after-glow characteristic when being required. The picture elements are linked with bit-line per line (51) and (51'). Likewise, gates

are connected to each other to form files (41) and (41').

Based on the above arrangement, assume that a unit of (51) and (41) designates "1", whereas another unit (51') and (41') designates "0", the matrix selects only the lot-number (1,1) to have it turn ON, thus enabling liquid crystal electrically and equivalently shown as capacitor (31) to be turned ON selectively.

In order to form decoder and driver on an identical substrate, the invention aims to install another insulation-gate-type semiconductor device (50), another inverter (60), and another resistor (70) on an identical substrate.

By combining the invention based on the design specification, such a solid display unit usable for flat-surface TV replacing cathode-ray tube was fabricated.

Display unit for any calculator may be composed by applying $10^2 \sim 10^3$ units of picture elements. It is understood that $10^4 \sim 10^5$ units of picture elements are usable for a TV-set, for example, 25×10^5 units of picture elements are provided on an identical substrate to fabricate a TV-set by using said picture elements as well as the IGF, inverter, and the resistor having the needed decoder and driver simultaneously being formed in the periphery of the substrate.

Embodiments of the invention are exemplified below.

[Embodiment 1]

FIG. 2 A through 2E respectively exemplify vertical-sectional views and the method of manufacturing the laminate-type IGF related to the invention.

In FIG. 2, the first conductive layer incorporating a transparent electrode such as SnO_2, a metal film such as Ni, Cr, Mo_2, Si, etc. and the first semiconductor incorporating P-type or N-type conductive elements was formed on an insulated

substrate such as glass substrate or alumina substrate for example. Using the first photo-mask (1), the conductive layer (2) was processed to generate optional-shape pattern. For example, lead (11) comprising horizontal-directional conductive layer was formed. Using the first photo-mask (1), the first conductive layer (2) was etched into optional shape. Further, the first semiconductor Sl(3) being N-type or P-type was formed on the first conductive layer (12) by applying plasma-vapor-phase deposition method. Further, the second semiconductor (4) being intrinsic or N-type or P-type (this is merely called S2 in the following description) on the first semiconductor S1(3). Further, in order to provide source and drain by forming a pair with the first semiconductor S1(3), the third semiconductor (5) (hereinafter merely called S3) incorporating conductivity identical to that of the first semiconductor S1(3) was built up as shown in FIG. 2(B). It should be understood that the first conductive layer may be the one comprising a piece of conductive transparent thin film made from SnO_2 or the like, and yet, nickel or chrome may be superposed on SnO_2 via lamination to facilitate ohmic contact between the first semiconductor S1(3) and the first conductive layer (12).

This semiconductor was produced at temperature ranging from room temperature up to 400°C. by applying silane via glow discharge method or arc discharge method. The semiconductor related to the invention uses so-called non-monocrystalline silicon semiconductor comprising amorphous structure or semi-amorphous structure incorporating micro-crystalline particles each having 5 ~ 100 Å of fine size or micropolycrystalline structure having 50 ~ 500Å of particle size. In the present invention, embodiment mainly refers to semi-amorphous semiconductor (this is merely called SAS in the following description). Regarding the above-referred SAS, detail of the embodiment was described in the specification

pertaining to the previous Application for a Japanese Patent filed on March 3, 1980, via Application No. SHO-55-026388/1980 under the title "Semi-amorphous semiconductor" proposed by the inventor of the present invention.

Referring to FIG. 1, based on so-called lithographic technique such as screen printing or photo-etching method, the first semiconductor S3 was selectively removed via use of the mask 2, and then, P-type semiconductor S2 and N-type semiconductor S1 were also removed via masking with S3 before fabricating S2 and S3 into a shape substantially being identical to each other. In this case, it is quite important to preserve the first conductive layer as it is. In such a case in which the first conductive layer comprises double layers or more than double layers, one of them may selectively be removed.

Referring to FIG. 2(B), in order to further decrease parasitic capacity, it is permissible to form a thick insulation film comprising silicon oxide film having 0.3 ~ 1.0μ of thickness on the first semiconductor S3(5) via LPCVD (lower pressure vapor-phase deposition method) or plasma CVD method. By way of forming such a conductive layer comprising Mo, or W, or Mo_2Si, or W_2Si, having 0.2 ~ 0.5μ of thickness on the first semiconductor S3(5) and then SiO_2 film with 0.3 ~ 1.0μ of thickness was further built on the above conductive layer to promote conductivity of the first semiconductor S3(5). This in turn proved to be effective for the matrix formation.

Referring to FIG. 2C, lateral surface may be formed vertically on the surface of the substrate (1). However, it was proved to be effective to etch tapered portion into trapezoidal form and remove stepped notch of differential step of the laminated gate electrode.

Next, insulation film (6) was formed on the whole surfaces of S1, S2, and S3.

In particular, gate insulation film (16) was formed on the lateral surface of the S2(14). The insulation film was activated by electromagnetic energy of frequencies ranging from 13.56MHz to 2.45GHz. The insulation film was oxidized after being immersed in vapor atmosphere comprising oxygen or blend of oxygen and hydrogen at 100 ~ 700 ℃. before being formed with 200 ~ 2000Å of thickness.

In particular, when using such a substrate comprising glass, it is quite likely that movable ion contained in glass such as sodium may diffuse into the gate insulation film in the course of passing a long while. Because of this, it is quite important that silicon nitride (Si_3N_{4-x} $0 \leq X < 3$) or silicon carbonide (Si_xC_{1-x} $0 \leq X < 1$) be used for the above insulation film. Accordingly, silicon nitride film was formed by way of the following processes. Initially, silane (SiH_4 or SiH) and ammonia or nitrogen ionized by microwaves (2.45GHz, 50 ~ 500W output) were fed into a reaction furnace filled with vaporized silicide/nitride (1:20 ~ 1:5000) held at 0.1 ~ 0.5Torr of inner pressure. The reaction furnace was heated at 200 ~ 500℃., typically at 300℃. Substrate was heated from the outside of the reaction furnace, and then double stage plasma CVD process was applied by treating the surface of the heated substrate with the secondary high-frequency plasma having 13.56MHz of frequency and 5 ~ 50W of output.

After executing the above processes, it was possible to properly form gate insulation film into 200 ~ 1000Å of thickness at such a low temperature (200 ~ 400℃.) on the peripheral side of semiconductor, in particular, on the peripheral side of the second semiconductor S2 (14), without causing this non-monocrystalline semiconductor to be degraded by effect of dehydrogenation. After causing vaporized nitride to be excited by microwaves (50 ~ 300W), when fully ionizing vaporized nitride, nitrogen infiltrates into attending silane in the course of forming film. Because of this, the gate insulation film proved to be free from so-called hysteresis characteristic and

capable of masking against sodium as well.

In regard to Si_xC_{1-x} ($0 \leq X < 1$), when forming into insulation matter, plasma CVD process was executed. Concretely, by applying plasma CVD process (using 0.1 ~ 1.0Torr of pressure and 200 ~ 400℃. of substrate temperature) to process silicone carbonide via TMS (tetramethyl-silane) (Si(CH)) or carbon by applying acetylene (C H), it was possible to form 2.5eV ~ 3.5eV of energy band width.

When glass is used for the substrate, based on consideration that no degradation should take place in the semiconductor and the substrate being formed at 200 ~ 400℃. , by virtue of applying plasma CVD process, silicon nitride and silicon carbonide respectively proved to be extremely effective when being formed into gate insulation film

Simultaneous with the formation of the above-referred gate insulation film, identical film was also formed for the isolation of the S1 (13) and the S3 (15).

Further, as is shown in FIG. 2(D), applying the third lithographic technique, electrode hole (8) was formed on the insulation film (16), whereas electrode hole (7) was formed on the S3 (15). Further, metal layer or semiconductor layer linking with the gate electrode was built up over again, where the semiconductor layer comprises P^+ or N^+ conductive silicon semiconductor or transparent conductive film such as SnO_2 or ITO.

Next, applying the fourth photo-lithographic technique (4), the produced film was selectively etched, and then, gate electrode (17) was formed in the horizontal direction on the gate insulation matter (16). At the same time, wiring was executed from the S1 (13) and S3 (15) to IGS, capacitor, and resistor of another portion via the electrode holes over the substrate surface or the insulation matter (6) in close contact therewith.

When viewing the line A–A' in the vertical sectional view shown in FIG. 2 (D) from the lateral direction, the lateral view can be designated as FIG. 2(E), where the reference numerals shown in both drawings correspond to each other.

The semiconductor of the invention has mainly used semi-amorphous semiconductor (SAS). This is because the SAS incorporates $10^{-4} \sim 10^{-5}$ $(\Omega cm)^{-1}$ of background conductivity, and thus, compared to $10^{-9} \sim 10^{-6}(\Omega cm)^{-1}$ of the background conductivity of AS(amorphous semiconductor), the former has such a characteristic close to that of mono-crystalline silicon. The above background conductivity was secured in such a substantially intrinsic semiconductor dispensing with intentional introduction of impurities. In such an intrinsic semiconductor, when activating energy neutralized by boron has reached Eg/2, inversely, mobility of Hall extremely grows, and thus, by way of combining these, it was possible to fabricate Enhancement-type or Depletion-type N or P-channel field-effect semiconductor device (IGF). The semi-amorphous semiconductor SAS incorporates lattice distortion, and yet, it also contains hydrogen for neutralizing "asymmetric coupler" containing 0.1~5mol% of density. In order to prevent hydrogen from being degasified and also minimize stress caused by thermal expansion at the interfaces of respective materials being different from each other, it was found that all the processes for the substrate, semiconductor components, electrodes, and lead wires should have been done at such temperature ranging from 200 to 600℃., preferably in a range from 200 to 350℃., typically at 300℃.

It is also allowable to compose the gate electrode (17) with conductive-type semiconductor identical to that is used for composing the S1 and the S3, and yet, it is also allowable to provide multiple-layer wiring structure by way of doubling metal such as molybdenum or the like.

Using four pieces of mask, source or drain was formed by applying the S1(13) and the S2 (14) containing channel-forming portion (9). Further, drain or source was formed by applying the S3(15). Finally, such a multiple-layer-laminated field-effect semiconductor device (IGF) (10) incorporating gate-insulation matter (16) on the lateral surface of channel-forming portion and gate electrode (17) on the external lateral surface was completed.

In the present invention, channel length was determined depending on thickness of the S2 (14). Concretely, channel length was determined to be in a range from 0.3 to 3.0μm, typically to be 1.0μm. This is because, inasmuch as the mobility of non-monocrystalline semiconductor differs from that of monocrystalline semiconductor being one-fifth through one-hundredth, channel length has been contracted to promote operating characteristic of the IGF.

In the semi-amorphous semiconductor, bulk mobility of electron is rated to be 10 ~ 500cm^2V/S and 1/3 ~ 1/10, whereas bulk mobility of Hall is rated to be 0.5 ~ 100cm^2V/S and 1/5 ~ 1/100. However, considering that amorphous silicon is longer by 10 ~ 10^3 times than electron (being 0.01 ~ 1.0cm^2 V/S) and the Hall (being less than 0.001cm^2V/S), inasmuch as the semiconductor device according to the invention utilizes such a semi-amorphous semiconductor (SAS) incorporating micro-crystal structure corresponding to 5 ~ 100Å, and yet, inasmuch as it is possible to make up so-called micro-channel structure comprising approximately 1μm of channel length as a result of forming layer-laminated structure, the above composition is extremely important in terms of high-speed response capability.

Further, compared to the Hall, inasmuch as mobility of electron in the IGF of the invention is three times greater than that of monocrystal, i.e., being 5 ~ 100 times the mobility of the Hall, it was quite preferable to provide N-channel-type field-effect

semiconductor device.

Such an intrinsic semiconductor dispensing with addition of divalent impurities such as boron onto its surface belongs to N-type, and thus, by way of adding 0.1 ~ 10ppm of divalent impurities simultaneous with formation of the S2 for use as a P-type or I-type semiconductor, the field-effect semiconductor device IGF may be of N-channel type in order that liquid crystal panel of the invention can be operated by positive voltage.

When using substantially intrinsic semiconductor (being N-type) for making up the S2 (the second intrinsic or N-type or P-type semiconductor) in the field-effect semiconductor device IGF, it is possible to secure enhancement-type operating mode in the case of the P-channel IGF and depletion-type operating mode in the case of the N-channel type IGF.

Likewise, assuming that the semiconductor S2 is intrinsic or P-type, then, depletion type operating mode can be secured from the P-channel IGF, whereas enhancement-type operating mode can be secured from the N-channel IGF.

The field-effect semiconductor device IGF for generating liquid display shown in FIG. 1, enhancement-type is easily operable for selecting picture elements, and thus, enhancement-type operation mode is described below.

When causing the gate electrode to be turned into "1" and also source or drain into "1", this causes current to flow through channel-forming portion (9) to have it turn ON and also causes either or both of the gate electrode and source or drain to be turned OFF if either or both of them were 0.

In the N-channel-type IGF, binary code "1" means 0.5 ~ 10V of positive current, whereas "0" means such a voltage being 0V or below threshold voltage.

In the case of the P-channel-type IGF, polarity of own electrode should be

changed. These logical operations are identically applicable to those embodiments shown in FIG. 1, FIG 2, and FIG. 3 through FIG. 5 as well.

Referring to FIG. 1, in the course of making up peripheral decoder or such a conventional logical element, in FIG. 2(D) and (E), for example, resistor (70) can be determined by vertical-directional resistivity of bulk component of the semiconductor S2 independently of voltage being added to gate. In other words, in such a case in which no gate electrode is provided, those elements S1, S2, and S3 may sequentially be built up. Resistance value may be determined according to design specification based on resistivity and thickness of the S2 and also based on the area of the S2 placed on the substrate.

In the inverter (60) shown in FIG. 1, driver (61) conforms to the structure shown in FIG. 2(D). Load (64) shown in FIG. 1 may comprise an enhancement-type or depletion-type IGF that links either of the S1(15) and S3(13) with the gate electrode (17).

The inverter (60) incorporates an output terminal (62), which may comprise composite structure by way of discretely building up a pair of IGF units on the substrate. Input terminal may be provided in correspondence with the gate electrode (17).

In the vertical-channel-type IGF related to the invention, inasmuch as the semiconductor layers of the S1 and S3 are respectively of P^+ and N^+ types, even when light beams irradiate from the upper or lower direction, irradiated beams are fully absorbed without arriving at the S2 via the above structure. This means that the S1 and S3 simultaneously exert light-shielding effect. Because of this, the IGF can perform ON/OFF operation even when a plurality of IGF units have been formed on the glass substrate or even when the IGF dispenses with provision of light-shielding

function in particular. Since it is the object of light-shielding function to effect display by enabling such portion devoid of the IGF to cause light beams to permeate through and reflect against the whole substrate including liquid crystal in the vertical direction, and thus, the light-shielding effect of the IGF itself makes up extremely important characteristic.

This is such a unique characteristic of the invention which has never been conceived in the conventionally known horizontal-channel-type IGF, i.e., thin-film transistor.

FIG. 3 exemplifies another embodiment of the invention according to the manufacturing method identical to the Embodiment 1 shown in FIG. 2.

[Embodiment 2]

FIG. 3(A) is a cross-sectional view in which wiring has been done for the conductive layer (12) on the substrate (1) in the horizontal direction, and likewise, wiring has been done for the gate (17) in the horizontal direction. On the other hand, wiring has been done for the S3(15) in the vertical direction shown in FIG. 3(A). In this drawing, a pair of IGF units (10), (10), are shown, however, both units may be aligned on identical substrate via matrix formation.

The reference numerals shown in FIG. 3 respectively correspond to those identical numeral of the embodiment shown in FIG. 2.

In the manufacturing process, only three kinds (1) ~ (3) of lithographic masks may be used. In order to prevent parasitic capacity from being generated between the conductive layer (17) of the gate and the conductive layer of the S3, silicon oxide (30) shown in the embodiment 1 has been laminated on the S3(15) by 0.3 ~ 2.0μm. In the manufacturing process, silicon oxide (30) is patterned, and then, S1(15), S2(14), and

S1(13) below the masking silicon oxide are etched, and S1, S2 and S3 are processed into substantially identical form.

[Embodiment 3]

FIG. 3(B) exemplifies another embodiment of the invention. In FIG. 3(B), the first conductive layer (12) incorporating wiring of the IGF (10) being connected to the S1(13) is disposed in the horizontal direction. The third conductive layer wiring (24) connected to the S3(15) via contact (21) is disposed in the horizontal direction. The second conductive layer (17) connected to the gate electrode is disposed in the vertical direction by way of being perpendicular to the drawing. Wiring is effected by separating respective conductive layers from each other via inter-layer insulation material (6).

In FIG. 3(B), the conductive layer (12) disposed on the substrate (1) was subject to patterning via mask 1. Next, the S1(13), S2(14), and the S3(15) were sequentially built up, and then, by way of self-alignment, these elements were respectively etched via mask 2. Next, gate-insulation material (16) was formed, and then, gate electrode (17) and its lead (17) were formed via mask 4. Next, by applying polyimide resin and PIQ, inter-layer insulation material (25) was formed with 0.5 ~ 2.0μm of thickness. Next, contact hole (7) was formed, and then, the third conductive layer (14) for composing electrode and lead to be connected to the S3(15) was formed via mask 5. The above method has proved that triple-layer wiring structure could be manufactured by applying five kinds of mask.

In correspondence with the above embodiment 3, FIG. 4 exemplifies another embodiment of the invention applied to liquid crystal display.

[Embodiment 4]

FIG. 3(C) exemplifies another embodiment of the invention. Concretely, this embodiment shows on the substrate (1) the first conductive layer (12) which has been extended in the horizontal direction (X-direction) shown therein via mask 1. The S3(115), gate-electrode, and lead (17) are respectively shown in the vertical direction (Y-direction) shown in the drawing.

In the IGF (10), the S2 and S3 were respectively formed via mask 2. In the channel-forming portion, gate (17) covering the S2(14) and S3(15) by way of being across them was formed. Lead was formed on the S3(15) in such a portion devoid of the formation of channel in the S2 by applying mask 3.

As has been shown in the above embodiments 2, 3, and 4, in the IGF related to the invention, the gate electrode (17) on the gate-insulation material (16) for forming channel-forming portions in the S1(13) for composing source or drain and also in the S3(15) and S2(14) for composing drain or source could optionally and freely accept designed elements to enable formation of wiring in the X and Y directions. Compared to such a conventionally known IGF incorporating horizontally formed channel, since the semiconductor layers S1, S2, and S3 are sequentially formed via lamination by way of mainly applying plasma CVD process, and yet, since the S1, S2, and S3 are substantially of self-aligned structure, the invention has initiated the above manufacturing method into practical use, and thus, industrial effect brought by the invention is extremely significant.

[Embodiment 5]

FIG. 4 exemplifies another embodiment of the invention reflecting further development from the one shown in FIG. 3(B) using a liquid crystal display.

FIG. 4 shows concrete application of the invention to the 2x2 matrix cell shown in FIG. 1.

In FIG. 4, (A) denotes part of the plan, whereas (B) denotes vertical sectional view along A –A' surface.

In FIG. 4(B), the first conductive layer (23) has been formed on the glass substrate (1) with 500 ~ 3000Å of thickness in the X-direction. The first conductive layer (23) may also be transparent film comprising SnO or ITO(In O + SnO (5%)). Further, the S2(14) and the S3(15) have been formed on the first conductive layer (23). Gate-electrode-lead (17) has been formed in the Y-direction.

Electrode (24) of capacitor (31) filled for liquid crystal against the S3(15) has been formed with transparent conductive film. The other transparent conductive film (27) has been disposed below the upper glass substrate (28). In order that liquid crystal can be oriented to each other at right angle, the conductive layers (27) and (28) have respectively been provided with liquid-crystal-particle-orienting film or orienting process. Liquid crystal (26) has been filled between the two transparent electrodes (27) and (28).

FIG. 4(A)/(B) respectively exemplify the IGF (10) and (10') composing cross points of respective matrixes and the capacitors (31) and (31') respectively being connected to the output terminals of the IGF (10) and (10').

Based on the above arrangement, 1 through 16 units per square millimeter of picture elements can be produced by a single electrode (24) of the capacitor (31). Further, 500x500 flat-surface display can also be produced per 5 ~ 20cm^2.

FIG. 4 solely illustrates such a system in which a single capacitor filled with liquid crystal is connected in series to output terminal of the IGF. At the same time, when another accumulative capacitor (32) for displaying display time is formed in

parallel, this structure looks like the one shown in FIG. 5.

[Embodiment 6]

In order to simplify the drawing, FIG. 5(B) has deleted illustration of the liquid crystal portion (26), the upper electrode (27), and the upper glass substrate (28). It should be understood however that these components can be fabricated based on the known method as was done for FIG. 4.

FIG. 5(A) is a plan of the portion corresponding to an individual picture element. FIG. 5(B) is a vertical sectional view along A–A'. FIG.5(C) is a vertical sectional view along B–B'. The reference numerals shown in said drawings correspond to each other. As is apparent from the form of the IGF (10) shown in FIG.5(C), orientation to the IGF (10) has been effected by applying FIG. 3(A) shown in the embodiment 2 as the main element.

One of the electrodes (24) of the capacitor for liquid crystal display is linked with the S1(13). However, its structure differs from the case in which the electrode (24) is linked with the B3(15) shown in FIG. 4.

At the same time, the S1(13) makes use of the transparent conductive film (23) formed below the S1(13) and the second transparent conductive film (37) being the ground potential as the electrode secured on the gate insulation material (32) simultaneous with disposition of the gate electrode (17), whereby making up such a capacitor (32) to be closer to parallel so that it can be instrumental to extend display duration of liquid crystal display. In terms of circuit configuration, the above-cited electrode corresponds to the capacitor (32) shown in FIG. 1 via broken line. By virtue of the provision of the above-specified capacitor (32), even though the activated duration of the IGF may be in a range of 10 ~ 100μsecond, duration of liquid-crystal

display can be prolonged to 1 ~ 100msecond by way of providing after-glow characteristic. The above capacitor provides 10' ~ 10" of the number of the picture element. Even when scanning speed has reached 0.1 ~ 100μsecond, eyes of the viewer can be saved from incurring fatigue, thus providing usefulness.

The capacitor incorporating the above-cited accumulative capacity was made from the same material as that of the gate-insulation material (16), and thus, it was possible to fabricate this capacitor without necessarily adding any particular processing step to the identical batch lot. However, in order to raise the capacity with a small area, instead of silicon oxide, any ferrodielectric substance such as titanium dioxide, tantalum oxide, or the like, may be used.

The other electrode (24) electrically being connected to the S1(13) according to the invention is secured via an electrode-hole (39). In this case, it is suggested that inter-layer insulation material comprising polyimide film or PIQ be formed on the IGF (10) by 1 ~ 3μm of thickness on the continuous basis via lithographic technique. In conformity with design specification, this electrode (24) determines magnitude of each picture element. In the case of calculator, this electrode corresponds to 0.1 ~ 5.0mm of segment or a rectangular segment or a numerical segment. However, in such a system for composing scan-type matrix like the one shown in FIG. 1, it is suggested that matrix be formed by 500 x 500 for example based on the matrix unit ranging from 1 to 50μm. In the liquid-crystal display, by forming liquid-crystal-particle orienting film on respective electrodes by applying transparent electrode made from SnO_2 film, the upper electrode and the other electrode were oppositely disposed. Then, nematic-state liquid crystal (26) was injected between them to complete formation of the liquid-crystal display.

The above liquid-crystal display may be shown via coloration. Further, for

example, those picture elements may be composed by way of triply being superposed. In this case, red, green, and yellow elements be arranged alternately with each other.

As is apparent via FIG. 5 and FIG. 6, the invention is characterized by provision of a plurality of field-effect semiconductor devices IGF, capacitors, resistors on the substrate (1) or simultaneous provision of the sandwiched-structure flat-surface panel for the liquid-crystal display device.

Further, as is clear from the drawings, when "0" condition is entered by irradiation of light beams onto the IGF (110) against light being irradiated from the upper side, probable leakage of light is automatically prevented by function of the S3 and S1 layers as another feature of the invention.

Further, unlike the conventional arts, it is a distinctive feature of the invention that the IGF has been formed by way of layer-lamination on the insulation substrate via total isolation from other picture elements. Particularly, the fact that all the processes could be effected at temperature below 600℃, in particular, below 300℃ proves such a distinctive feature, whereby the above-referred panel can hardly be affected by thermal distortion even when the panel is provided with a substantial area.

Further, the semiconductor devices according to the invention mainly comprise non-monocrystalline structure. In particular, it is another distinctive feature of the invention that the semi-amorphous semiconductor based on such a structure being intermediate between amorphous composition and monocrystalline composition is fully stable against thermal energy up to 600℃.

In particular, the semi-amorphous semiconductor SAS is substantially such a non-monocrystalline semiconductor incorporating such lattice distortion based on sizable microcrystalline structure ranging from 10Å up to 100Å. In the production stage, even when utilizing 500kHz ~ 3GHz of inductive energy, a maximum of 300℃

of temperature is sufficient. Further, the SAS contains such a physical characteristic in which diffusible length of electrons and Hall is 100 ~ 10^3 times greater than that of amorphous silicon. Inasmuch as the inventive IGF has been formed based on such a structure in which the above-specified non-monocrystalline semiconductors have been laminated on a substrate, and yet, since current flows through the IGF in the vertical direction, it is practicable to manufacture such a micro-channel-type IGF incorporating 0.1 ~ 1.0μm of the channel length without applying high-precision photo-lithographic technique. The above achievements distinctively feature the invention.

Further, according to the invention, availing of specific characteristic of the IGF featuring semi-amorphous semiconductor SAS, threshold voltage (V) of the IGF is not controlled by the ion-injection doping, but it is controlled by the amount of impurities and high-frequency power added to the S2 semiconductor, thus also featuring the invention.

As a result, resistance against 20 ~ 30V of voltage, V_G = -4 ~ 4V could be subject to control in a range of ±0.2V. Further, despite of using non-monocrystalline semiconductor corresponding to 1/5 ~ 1/50 the conventional mono-crystalline insulation-gate type semiconductor device, inasmuch as frequency characteristic conforms to micro-channel comprising 0.1 ~ 1.0μm of channel length, the IGF according to the invention was fabricated.

In regard to inverse-directional leakage, by way of inserting 10 ~ 40Å thick silicon nitride (Si_3N_{4-x} ($0 \leq X < 4$)) between the S1 and the S2 shown in FIG. 1, even when adding 10V in the inverse direction, leakage from N^+IP^- junction or P^+IN^- junction was less than 1μA. This result was quite desirable being comparable to the inverse-directional leakage of monocrystal.

After adding 2 ~ 20mol% of oxygen or nitrogen and 5 ~ 30mol% of carbon to

the S1 or S3 semiconductor, in the structure shown in FIG. 2, like the above case, inverse-directional leakage was negligible, and yet, in the course of etching the S2 and the S3 semiconductor, the S1 semiconductor was prevented from excessively being etched, thus proved to be desirable in the processing effect. Compared to the case of deleting addition of the above-cited elements, the low-leakage property proved to be of less leakage by $1/10 \sim 1/10^2$. As a matter of course, the minimum leakage is quite effective when implementing the matrix structure shown in FIG. 1.

In such a case in which the layer-built-type S1, S2, and S3 were respectively fabricated by solely applying amorphous silicon semiconductor, after adding 10V of inverse-directional bias current, it was found that more than 1mA of inverse-directional leakage was generated. After replacing the above amorphous silicon semiconductor with the semi-amorphous semiconductor SAS, inverse-directional leakage was lowered to $5 \sim 50\mu A$. This is because of the following reasons: i.e., impurities comprising boron or phosphorus doped in P or N type semiconductor of the S1 and S3 were oriented to the substitutive type, and thus the ionization coefficient was raised above 4N being identical to monocrystal, and yet, even the activating energy was lowered to $0.005 \sim 0.001eV$ below $0.2 \sim 0.3eV$ of activating energy of amorphous substance. Electrical conductivity was also promoted quite significantly to a range of $10^{-2} \sim 10^{+1}$ $(\Omega cm)^{-1}$ against $10^{-5} \sim 10^{-3}$ $(\Omega cm)^{-1}$ of the electrical conductivity of amorphous semiconductor.

Because of the above reasons, once-oriented impurities did not diffuse outwardly, and as a result, junction was finely completed.

Further, by virtue of the provision of layer-built-type IGF units, the invention has made it possible to fabricate a plurality of IGF units, resistors, and capacitors, on a substrate, in particular, on an insulation substrate. Further, it has also become

possible to have the inventive semiconductors develop novel liquid crystal display device.

The invention has utilized silicon for composing semiconductor and also silicon oxide or silicon nitride for composing insulation material. However, it is also possible to make use of germanium, or Si_xGe_{1-x} ($0 < x < 1$), or BP, or GaAS, for composing semiconductor.

Further, needless to mention that in the case of non-monocrystalline semiconductor, in place of the semi-amorphous semiconductor, either the amorphous semiconductor or so-called polycrystalline semiconductor comprising 50 ~ 5000Å of crystalline particle diameter may also be used.

4. BRIEF DESCRIPTION OF THE DRAWINGS

FIG. 1 designates an equivalent circuit based on matrix structure comprising insulation-gate-type semiconductor devices, inverter resistors, capacitors or insulation-gate-type semiconductor devices and capacitors respectively functioning as picture-elements according to the invention;

FIG. 2 is a vertical sectional view of the layer-built insulation-gate-type semiconductor device and explanatory of manufacturing processes according to the invention;

FIG. 3 exemplifies another semiconductor device according to the invention; and

FIG. 4 and FIG. 5 respectively exemplify semiconductor devices for composing flat-surface display integrally comprising layer-built-type insulation-gate-type semiconductor devices and capacitors or liquid-crystal according to the invention.

003631309

WPI Acc No: 83-H9512K/198324

Semiconductor display driver - has vertical type insulated gate transistors formed in insulating substrate, and capacitors provided on substrate NoAbstract

Patent Assignee: HANDOTAI ENERGY KENKYUSHO KK (SEME)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
JP **58074080**	A	19830504					198324 B

Priority Applications (No Type Date): JP 81174121 A 19811029

Patent Details:

Patent	Kind	Lan	Pg	Filing Notes	Application	Patent
JP 58074080	A		11			

Title Terms: SEMICONDUCTOR; DISPLAY; DRIVE; VERTICAL; TYPE; INSULATE; GATE; TRANSISTOR; FORMING; INSULATE; SUBSTRATE; CAPACITOR; SUBSTRATE; NOABSTRACT

Derwent Class: T04; U11; U13; U14

International Patent Class (Additional): H01L-021/20; H01L-029/78

File Segment: EPI

01136680 **Image available**

MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.: **58-074080** [JP 58074080 A]
PUBLISHED: May 04, 1983 (19830504)
INVENTOR(s): YAMAZAKI SHUNPEI
APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company or Corporation), JP (Japan)
APPL. NO.: 56-174121 [JP 81174121]
FILED: October 29, 1981 (19811029)
INTL CLASS: [3] H01L-029/78; H01L-021/203; H01L-029/04
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)
JAPIO KEYWORD:R020 (VACUUM TECHNIQUES); R097 (ELECTRONIC MATERIALS – Metal Oxide Semiconductors, MOS)
JOURNAL: Section: E, Section No. 188, Vol. 07, No. 166, Pg. 136, July 21, 1983 (19830721)

ABSTRACT

PURPOSE: To allow to obtain a flat TV solid-state display substituted for a CRT, by laminating the first, second and third semiconductors in the same shape on a conductive layer of a substrate and forming a gate insulator and a gate electrode on the surface thereon.

CONSTITUTION: A conductive layer 12 (semiconductor 2) is formed on an insulating substrate 1 into an arbitrary shape and etched by a mask. Further, semiconductors S13, S24 are formed on the conductive layer 12, and S35 of the same conductive type as S13 is laminated thereon. Thereafter, on the entire surface of S1-S3, an insulating film 6 is formed particularly on the side surface of S214 as the gate insulating film 16. This insulating film 16 is formed simultaneously for the isolation of S113, S315. Further, an electrode hole 8 for the insulating film 16 and an electrode hole 7 for the S315 are formed, and a semiconductor layer joining to the gate electrode is laminated again. Next, the gate electrode 17 is provided in lamination on the insulating film 16 in a transversal direction and is simultaneously wired onto the other field effect semiconductor device, a capacitor and a resistor in close contact on the insulator via electrode holes from S113, S315.

⑲ 日本国特許庁 (JP)　　⑪ 特許出願公開

⑫ 公開特許公報 (A)　　昭58—74080

⑤1Int. Cl.³	識別記号	庁内整理番号	⑬公開　昭和58年(1983)5月4日
H 01 L 29/78		7377—5F	
21/203		7739—5F	発明の数　1
//H 01 L 29/04			審査請求　有

(全 10 頁)

⑤4半導体装置作製方法

⑳特　　願　昭56—174121
㉒出　　願　昭56(1981)10月29日
㉑発 明 者　山崎舜平
東京都世田谷区北烏山7丁目21番21号株式会社半導体エネルギー研究所内
⑦1出 願 人　株式会社半導体エネルギー研究所
東京都世田谷区北烏山7丁目21番21号

明　細　書

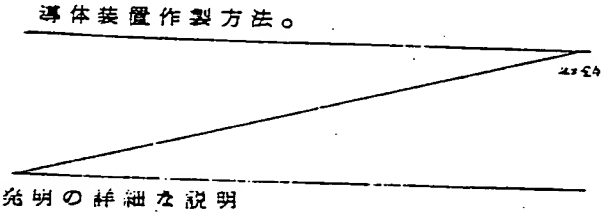
1. 発明の名称

半導体装置作製方法

2. 特許請求の範囲

1. 基板上の第1の導電層上に第1の半導体、第2の半導体および前記第1の半導体と同一導電型の第3の半導体を積層して形成する工程と、前記第1の半導体と概略同一形状に前記第2および第1の半導体を形成する工程と、前記第1、第2、第3の半導体表面上に絶縁物を形成する工程と、前記第2の半導体の側部のゲイト絶縁物上にゲイト電極を形成する工程とを有する絶縁ゲイト型電界効果半導体装置を基板上に形成することを特徴とする半導体装置作製方法。

2. 特許請求の範囲第1項において、第1の導電層上に絶縁物を形成する工程と、該絶縁物上にゲイト電極と同一主成分材料よりなる電極を形成することにより、キャパシタを基板上に形成することを特徴とする半導体装置作製方法。



3. 発明の詳細な説明

本発明は基板上にたてチャネル型の積層型の絶縁ゲイト型半導体装置を設けた半導体装置およびその作製方法に関する。

本発明は基板上の積層型の絶縁ゲイト型電界効果半導体装置のソースまたはドレインに連結して、または基板上にキャパシタを有せしめた半導体装置に関する。

本発明はかかる複合半導体装置をマトリックス構造に基板上に設け、液晶表示型のディスプレー装置を設けることを特徴としている。

本発明は平面型の固体表示装置を設ける場合平行なガラス板内に電極を設けて、この電極間に液晶を注入した液晶表示装置が知られている。

しかしこの場合、この　の絵素数は20～200までが限界であり、それ以上とする場合はこの表示部より外にとり出す端子が絵素の数だけ必要になつてしまうため、全く実用に供することができなかつた。このためこの表示部を複数の絵素とし、それをマトリックス構成させ、任意の絵素を制御してオンまたはオフ状態にするには、その絵素に対応した電界効果半導体装置（IGFという）を必要としていた。そしてこのIGFに制御信号を与えて、それに対応した絵素をオンまたはオフさせたものである。

本発明のたてチャネル型IGFおよび液晶ディスプレーへの応用は、本発明人の出願になる特許願（絶縁ゲイト型電界効果半導体装置およびその作製方法　特願昭56—001767号　および複合半導体装置　特願昭56—001768号　昭和56年1月9日出願）にその詳細が示されている。本発明はこれをさらに発展させたものである。

(3)

この液晶[redacted]部はその等価回路としてキャパシタ（以下Cという）にて示すことができる。このためこのIGFとCとを例えば2×2のマトリックス構成(40)せしめたものを第1図に示す。

第1図においてマトリックス(40)はひとつのIGF(10)とひとつの液晶が充填されたC(31)および必要に応じて設けられた残光性を有せしめるためのC(32)によりひとつの絵素を構成させている。これを行に(51),(51')とビット線に連結し他方ゲイトを連結して列(41),(41')を設けたものである。

すると例えば(51),(41)を'1'とし(51'),(41')を'0'とすると、(1,1)番地のみを選択してオンとし、電気的にC(31)として等価的に示される液晶表示を選択的にオン状態にすることができる。

本発明は同一基板上にデコーダ、ドライバーを構成せしめるため、他の絶縁ゲイト型半導体装置(50)および他のインバータ(60),抵抗(70)を同一基板上に設けることを目的としている。

(4)

かくすることにより、本発明をその設計仕様に基いて組合わせることによりブラウン管に代わる平面テレビ用の固体表示装置を作ることができた。

さらにカリキュレータ用の表示装置は10^2～10^3ケの絵素を用いればよく、TV用には10^5～10^6個例えば25×10^4個の絵素を同一基板に設け、かつその周辺に必要なデコーダおよびドライバーを同時に形成させたIGF、インバータ、抵抗を用いて作ればよいことがわかる。

以下にその実施例を示す。

実施例1

第2図は本発明の積層型IGFのたて断面図およびその製造工程を示したものである。

図面において絶縁基板例えばガラスまたはアルミナ基板上にPまたはN型の導電型を有する第1の半導体(2)を形成した。この(2)を第1のフオトマスク①を用いて任意の形状にパターン形成し、例えば横方向

(5)

の導電層とするリード(2)を形成せしめた。この第1の導電層を任意の形状に第1のマスク①によりエッチングした。さらに第1の導電層(2)上にNまたはPの第1の半導体Si(3)をプラズマ気相法により形成させた。さらにこのSi(3)の上に第2の真性またはN'またはP'型の半導体(4)（以下単にS2という）を形成した。さらに第1の半導体と一対を構成してソース、ドレインとするためにSi(3)と同一導電型を有する第3の半導体(5)（以下単にS3という）を積層して第2図(B)の如くに設けた。この第1の導電層は、一対のSnO_2等の透明導電膜であつても、またさらにこのSnO_2等にNi、Cr等を蒸着して形成し、このNi、CrをSi(3)と第1の導電層とのオーム接触を助長せしめてもよい。

この半導体は基板上にシランのグロー放電法またはアーク放電法を利用して室温～400°Cの温度にて設けたもので、非晶質（アモルファス）または5～100Åの大きさの微結晶性を有する半

(6)

非晶質（セミアモルファス[redacted]たは50～500Åの微結晶（マイクロポリクリスタル）構造のいわゆる非単結晶の珪素半導体を用いている。本発明においてはセミアモルファス半導体（以下SASという）を中心として示す。このSASに関しては本発明人の発明になる特許願（特願昭55—026388 S55.3.3出願 セミアモルファス半導体）にその詳細な実施例が示されている。

さらに第1図においてスクリーン印刷法または写真触刻法によるいわゆるリソグラフィー技術によりマスク②を用いてS3を選択的に除去し、さらにこのS3をマスクとしてS2を除去してS2とS3とを略略同一形状に作製した。この時第1の導通層を残存させることが重要である。この時第1の導通層を2層またはそれ以上とする場合、その1層を選択的に除去してもよい。

このS3(5)の上に第2図(B)においてさらに寄生容量を少くするため、厚い絶縁膜をLPCVD法（減圧気相法）またはプラズマCVD法により

(7)

0.3～1μの厚[redacted]化珪素膜を形成しておいてもよい。またこのS3上にMo, W, MoSi, WSi等の導電層を0.2～0.5μ形成し、さらにその上にSiO₂を0.3～1μとさせてS3の導電率を向上させることはマトリクス化に有効であつた。

また第2図(C)において側面は基板(1)表面上に垂直に形成してもよいが、台形状にテーパエッチをして、さらに積層されるゲイト電極の段差部での段切を除去することは効果的であつた。

さらにこの後このS1、S2、S3の表面全体に絶縁膜(6)を特にS2(4)の側表面にゲイト絶縁膜(9)として形成した。この絶縁膜は13.56MHz～2.45GHzの周波数の電磁エネルギにより活性化して、酸素または酸素と水素との混合気体雰囲気に100～700℃設して酸化して、200～2000Åの厚さに形成した。

特に基板がガラスであつた場合、その中に含まれるナトリューム等の可動イオンが長時間のうちにこれゲイト絶縁膜中に拡散していつてし

(8)

まう可能性が大きい。このためこの絶縁膜は、窒化珪素（Si_xN_{4-x} $0 \leq x < 3$）または炭化珪素（Si_xC_{4-x} $0 \leq x < 1$）等を用いることがきわめて重要である。このため窒化珪素膜を作るには以下の如くにした。すなわち、シラン（SiH_4またはSi_2H_6）とマイクロ波（2.45GHz 50～500W出力）によりイオン化されたアンモニアまたは窒素を珪化物気体：窒化物ガス1：20～1：5000として0.1～0.5torrに保持された反応炉内に導入し、この反応炉内に200～500℃代表的には300℃に反応炉の外側より加熱された基板上に13.56MHzの第2の高周波プラズマ（5～50W出力）を加えた2段のプラズマCVD法を用いた。

かくすることにより、半導体特にS2(4)の側周辺上には、この非単結晶半導体が脱水素化等により劣化することのない低温（200～400℃）でゲイト絶縁膜を200～1000Åの厚さに形成せしめることができた。窒化物気体をマイクロ波（50～300W）により励起することにより、十分にイ

(9)

オン化すると、会合していたシランの内部にも被膜形成時にこの窒素が含侵されるため、一般にいわれるヒステリシス特性等がみられず、さらにナトリューム等に対してもマスク性を有する好ましい絶縁被膜であつた。

またSi_xC_{4-x}（$0 \leq x < 1$）に関しては、絶縁体とする際にプラズマCVD法を用い、TMS（テトラメチルシラン）（$Si(CH_3)_4$）による炭化珪素またはアセチレン（C_2H_2）による炭素をプラズマCVD法（0.1～1torr 基板温度200～400℃）によりこのエネルギバンド巾2.5～3.5eVを形成させることができた。

かくの如く基板をガラスとする場合、形成温度を200～400℃とした半導体および基板を劣化させないことを考えると、プラズマCVD法により窒化珪素または炭化珪素はきわめて有効なゲイト絶縁膜であつた。

このゲイト絶縁膜(9)は同時にS1(3)、S3(5)のアイソレイション用被膜としても形成せしめた。

(10)

さらに第2図(D)に示さ[redacted]如く、第3のリソグラフィー技術③により、この絶縁膜09に対し電極穴(8)を、S 305に対し電極穴(7)を形成し、ゲイト電極に連結する金属または半導体層（P⁺またはN⁺の導電型の珪素半導体またはSnO₂ ITO等の透明導電膜）を再度積層した。

次に第4のフォトリソグラフィー技術④によりこの膜を選択的にエッチングして、ゲイト電極(11)をゲイト絶縁物(09)上に横方向に積層して設けて作り、同時にS[redacted]S 305より電極穴を介して他部のIGF、キャパシタ、抵抗へ基板表面または絶縁物(6)上に密接して配線させた。

第2図(D)のたて断面図のA－A'を横方向よりみると第2図(E)として示すことができる。番号はそれぞれ対応している。

本発明の半導体は主としてSASの珪素半導体を用いた。これは暗伝導度σが10^{-}～10^{-}(Ωcm)⁻を有し、ASの10^{-}～10^{-}(Ωcm)⁻に比べて単結晶珪素に近い特性を有しているためである。この暗伝

(11)

導度は不純[redacted]意図的に導入しない実質的に真性の半導体において得られた。しかし真性（ホウ素により中和した活性化エネルギがEg/2になつた場合）においては、逆にホールの移動度がきわめて大きくなり、これらを組合わせてエンハンメンス型またはデイプレッション型のNまたはPチヤネルIGFを作ることができた。このSASは格子歪を有するとともに、0.1～5モル%の濃度を有する不対結合手の中和用に水素を有しており、この水素の脱ガスを防ぎ、かつ基板と半導体、電極・リード等が異種材料の界面における熱膨脹によるストレスを少くするため、すべての処理を200～600℃好ましくは200～350℃、代表的には300℃でするとよかつた。

またゲイト電極(11)をS1、S3と同一導電型の半導体およびそれにMo等の金属を二重構造とした多層配線構造でもよい。

かくして4ヶいのマスクにより、ソースまた

(12)

はドレインをS103チヤネル形成領域(9)を有するS204ドレインまたはソースをS305により形成せしめ、チヤネル形成領域側面にはゲイト絶縁物(10)、その外側面にゲイト電極(11)を設けた積層型のIGF(10)を作ることができた。

この発明においてチヤネル長はS204の厚さで決められ、ここでは0.3～3μ代表的には1μとした。それは非単結晶半導体の移動度が単結晶とは異なり、その1/5～1/100しかないため、チヤネル長を短くしてIGFとしての特性を助長させたことにある。

SASにおいては、電子のバルク移動度が10～500cm²V/Sと1/3～1/10であるのに対し、ホールのそれは0.5～100cm²V/Sと1/5～1/100である。しかしそれにアモルフアス珪素が電子0.01～1.0cm²V/S、ホールは0.001cm²V/S以下に比べて10^{3}～10^{5}倍も長いことを考えると、本発明の半導体装置に5～100Åの大きさのマイクロクリスタル構造を有するSASを用い、さらに

(13)

積層型にすることによりチヤネル長が1μ程度といわゆるマイクロチヤネル構造とすることができるため、高速応答性においてきわめて重要である。

さらに本発明のIGFにおいて、電子移動度がホールに比べて単結晶の3倍よりも大きく、5～100倍もあるためNチヤネル型でするのがきわめて好ましかつた。

またS2にはホウ素等のIII価の不純物を表面部に添加しない真性半導体はN型であるため、これをS2の形成時に同時に0.1～10PPM添加してP型またはI型半導体として用いることは本発明の液晶パネルを正の電圧で動作させるためのNチヤネルIGFとしてもよい。

かくの如くして得られたIGFはS2に実質的に真性の半導体（N型となつている）を用いると、PチヤネルIGFにおいてはエンハンスメント型、またNチヤネルIGFにおいてはデイプレッション型の動作モードを得ることができる。

(14)

またこの S2 を真性または P 型の半導体とすると、P チャネル IGF においてはディプレッション型、N チャネル IGF においてはエンハンスメント型の動作モードを得ることができる。

第1図の液晶表示を得るための IGF としてはエンハンスメント型がその絵素を選択する場合使いやすいため、簡単にエンハンスメント型の動作をする場合につき示す。

ゲイト電極を'1'、ソースまたはドレインを'1'とすると、チャネル形成領域(9)を電流が流れオン状態を、またそれぞれ一方または双方が0ならばオフ状態を作ることができた。

'1'は N チャネル型 IGF では正の 0.5～10V の電流を、0は0Vまたはスレッシュホルド電圧以下の電圧を意味する。

P チャネル型 IGF はその電極の極性を変えればよい。これらの論理系は第1図、第2図においてもまた以下の第3図～第5図の本発明の実施例においても同様である。

(15)

また第1図において周辺のデコーダまたは一般の論理素子を作ろうとする時、例えば抵抗(70)は第2図(D)，(E)においてゲイトに加える電圧に無関係に S2 のバルク成分のたて方向の抵抗率で決められる。すなわちゲイト電極を設けない状態で S1, S2, S3 を積層すればよい。またこの抵抗値は S2 の抵抗率とその厚さ、基板上にしめる面積で設計仕様に従つて決めればよい。

第1図のインバータ(60)においてドライバー(61)は第2図(D)とし、さらにその ロード(64)は S1(1), S3(3) の一方とゲイト電極(7)との連結させるエンハンスメント型またはディプレッション型の IGF として設ければよい。

さらにこのインバータ(60)の出力は(62)よりとり、この基板上に離間して2つの IGF を積層して複合化すればよく、入力部はゲイト電極(7)に対応して設ければよい。

本発明のたてチャネル型 IGF においては、もし光がこの IGF の上方向または下方向から照射

(16)

されても、それぞれは S1、S3 の半導体層が P⁺ または N⁺ となつているため、この光を十分吸収してしまい、S2 に到達させない構造のいわゆる S1、S3 が光のしやへい効果を同時に有する。このためガラス基板上にこの IGF を複数ケ作製しても、特にこの IGF に光のしやへいを施さなくても ON, OFF 動作をさせることができ、この効果は IGF のない領域が光を液晶を含む基体全体に対し上下方向への光の透過、反射をさせることにより表示を行うことを目的とするものであるため、特にこの IGF 自身のしやへい効果はきわめて重要な特徴を有する。

これは従来より知られた横チャネル型の IGF（薄膜トランジスタ）においては全く考えられなかつた特徴である。

第3図は第2図に示した実施例1を同様の製造方法に従つて作製した本発明の他の実施例を示す。

実施例2

(17)

第3図(A)は基板(1)上の導電層(2)が横方向にその配線がなされ、またゲイト(7)も同様に横方向になされ、他方 S3(3) が図面に垂直方向に配線がなされた場合である。図面においては IGF (10)(10)の2つが示されてあるが、マトリクス化して 10～10⁴ ケを同一基板に配列せしめてもよい。

図面においてその番号は第2図の実施例に対応している。

その製造においては、リソグラフィー用マスクは①～③と3種類のみでよい。ゲイトの導電層(7)と S3(3) の導電層との間に寄生容量の発生を防止するために実施例1にて示した酸化珪素(30)が S3(3) の上に 0.3～2μ の厚さに積層させている。製造はこの酸化珪素(30)をパターニングしさらにこの酸化珪素をマスクとしてその下の S1(1), S2(4), S3(3) をエッチングして S1、S2、S3 を概略同一形状に形成させればよい。

実施例3

(18)

第3図(B)は本発明の他の実施例を示す。

図面においてIGF(10)のソースが S101 に連結した第1の導電層(12)が横方向、また S305 にコンタクト(7)とにより連結した第3の導電層配線(14)が横方向、またゲイト電極に連結した第2の導電層(17)が図面に垂直にたて方向に設けられ、各導電層間を層間絶縁物(6)，(13)により離間して配線せしめたものである。

図面においては基板(1)上の導電層(12)を①のマスクによりパターニングし、S101, S204, S305 を積層してセルフアライン的に②のマスクによりエッチングした。またゲイト絶縁物(16)を形成した後、その上にゲイト電極(17)、そのリード(17)を④により形成した。加えて層間絶縁物(13)をポリイミド樹脂、PIQ等により 0.5～2μ の厚さに形成した後、コンタクト穴(7)を作り S305 に連結した電極・リードを構成する第3の導電層(14)をマスク⑤により作製し、3層配線が5種類のマスクにより作製が可能であることを示したもの

(19)

である。

この実施例に対応して第4図が液晶ディスプレイに用いた本発明の他の実施例を示している。

第3図(C)に本発明の他の実施例を示す。すなわち基板(1)上に第1の導電層(12)をマスク①により図面で横方向（X方向）に延在した形状に示した。また S305、ゲイト電極・リード(17)は図面で垂直方向（Y方向）に示されている。

これはIGF(10)において S2、S3 をマスク②により、チャネル形成領域においてまたこの S204 S305 をまたぐ如くにしておおったゲイト(17)を加えてまた S2 にチャネルを形成した領域においては S305 上にリードをマスク⑤により作ったものである。

以上の実施例2，3，4に示される如く、本発明のIGFはソースまたはドレインを構成する S101, ドレインまたはソースを構成する S305 および S204 にチャネル形成領域を形成するゲイト絶縁物(16)上のゲイト電極(17)が任意にその設計上

(20)

の要素を全く自由に受け入れてX方向、Y方向に配線形成せしめることが可能となつた。これは従来より知られた横方向にチャネルが形成されるIGFに比べて、プラズマCVD法を中心として半導体層 S1、S2、S3 を順次積層して形成していく構造を有するとともに、S1、S2、S3 は実質的なセルフアライン構造であるために初めて可能になつたもので、その工業的効果はきわめて大きい。

実施例5

第4図は第3図(B)をさらに発展させた本発明の他の実施例を示したもので、液晶ディスプレイに用いたものである。

第4図は第1図に示された2×2のマトリックスセルに本発明を適用したものである。

図面において(A)はその平面図の一部、(B)は A－A' 面におけるたて断面図を示す。

第4図(B)において、ガラス基板(1)上に第1の導電層(2)が 500～3000Å の厚さにX方向に形成されている。これはネサ（SnO_2）またはITO（$In_2O_3+SnO_2$(5%)）を用いた透明膜であつてもよい。さらにこの上に S204, S305 がX方向に形成されている。またゲイト電極リード(17)はY方向に形成されており、S305 に対し液晶用充填されたキャパシタ(31)の電極(24)が透明導電膜により形成されている。上側のガラス基板(28)下面にも他の透明導電膜(27)がある。この導電層(27)，(24)は互いに直角にて液晶が配向するように液晶分子配向膜または配向処理がなされている。この2つの透明の電極(27)，(24)の間に液晶(29)を充填させている。

各マトリックスの交点を構成するIGF例えば(10)，(10)とその出力に連結するキャパシタ(31)(31)が第1図に対応して第4図(A)，(B)に示している。

かくすることにより、ひとつの絵素すなわちキャパシタの電極(24)で作られる絵素が 1mm² あたり 1～16 個も作り得ることができ、また 500×500

の平面ディスプレイも5[redacted]m²で作ることができるようになつた。

第4図はこのIGFの出力には液晶が充填されたひとつのキャパシタが直列接続されたのみでもつたが、同時にこの表示時間を表示するための多倍用キャパシタ(32)を並列して作ると第5図に示す如くになる。

実施例6

第5図は第4図で示した液晶部(24)、上側電極(27)、上側ガラス基板(28)が図面の簡略化のため省略したが、この部分は第4図と同様公知の方法で作製すればよい。

第5図(A)はひとつの絵素に対応する領域の平面図、(B)はA－A'でのたて断面図、(C)はB－B'でのたて断面図をそれぞれ番号を対応させて示してある。第5図(C)のIGF(10)の形状より明らかな如く、このIGFへの配向は実施例2に示した第3図(A)を主要素として用いたものである。

液晶表示用のキャパシタの一方の電極(24)は

(23)

S101と連結[redacted]り、第4図の場合のS309と連結した場合とその構造を異ならせている。

またこのS101は同時にその下側の透明導電膜(24)およびゲイト絶縁物(32)上に接地電極(41)ある第2の透明導電膜(37)をゲイト電極(17)と同時に設けて得られた電極としより並列のキャパシタ(32)を構成し、液晶表示の表示時間を長くするための一助としている。回路的には第1図にて破線で示したキャパシタ(32)に対応している。このキャパシタによりIGFのオン時間が10～100μ秒であつても、液晶表示は1～100m秒と長くするいわゆる残光性を持たせることができる。このキャパシタは絵素数が10^3～10^4ケとなり、この走査速度が0.1～100μ秒となつた時見ている人の目をつかれさせないために有効である。

またこの蓄積容量のキャパシタはゲイト絶縁物(24)と同一材料としたことにより、同一バッジ式に何らの新たな工程を必要とせず作ることができた。しかしこの容量を小面積で増加するた

(24)

め、酸化亜鉛ではなく酸化チタン、酸化タンタルその他強誘電体を用いてもよい。

本発明におけるS101に電気的に連結された他の電極(24)は電極穴(39)を介して設けられている。これらIGF(10)上にポリイミドまたはPIQ等の層間絶縁物を1～3μの厚さに設け、それを選択的にリソグラフィ技術により設ければよい。この電極(24)が設計の仕様に従つてひとつの絵素の大きさを決定する。カリキュレータ等においては、0.1～5mm²またはく形、数字の1セグメントに対応している。しかし第1図の如き走査型のマトリクス構成をさせる方式において、1～50μをマトリクス状として例えば500×500とすればよい。液晶表示部はこの電極の上方と他方をネサ膜等の透明電極(28)をそれぞれの電極に液晶分子配向膜を形成させて有せしめて対抗配置させ、そこに例えばネマチック型の液晶(26)を注入して設けた。

またこのディスプレイをカラー表示してもよい。さらに例えば、これらの絵素が三重に重ね

(25)

合わされて作られてもよい。そして赤緑黄の3つの要素を交互に配列せしめればよい。

第5図、第6図で明らかな如く、本発明は基板(1)上に複数のIGF、キャパシタ、抵抗または同時にサンドウイッチ構造として液晶表示の平面パネルを設けたことを特徴としている。

さらに図面より明らかな如く、上方よりの光照射に対して、IGF(10)に光が照射して"0"状態の時リークしてしまうことがS3、S1により自動的に防止されていることを他の特徴としている。

加えて従来と異なり、絶縁基板上に完全に他の絵素とアイソレイトしてIGFを積層型に設けていくことはきわめて大きな特徴であり、特にこの全行程を600°C以下特に300°C以下の温度で作ることが可能であることは、このパネルが大面積としても熱歪の影響を受けにくいという大きな特徴を有している。

加えて本発明の半導体は非単結晶構造を中心

(26)

としており、特にSASというアモルファスと単結晶との中間構造であつて[illegible]つ600℃までの熱エネルギに対して安定なことは本発明の他の特徴である。

特にこのSASは10～100Åの大きなマイクロクリスタル構造の格子歪を有する非単結晶半導体であり、その製造には500KHz～3GHzの誘導エネルギを使つても温度が300℃までで十分であり、加えてその電子・ホールの拡散長がアモルファス珪素の100～10³倍も大きいという物性的特性を有している。かかる非単結晶半導体を基板上に積層する構造によりIGFを設けたこと、加えてここを電流がたて方向に流れるため、チャネル長が0.1～1μのマイクロチャネル型IGFを高精度のフオトリソグラフイ技術を用いずに作ることができることがきわめて大きな特徴である。

さらに本発明においてIGFとしての特性は、SASの特性にかんがみ、そのスレフシユホールド電圧（V_{th}）は例えばドープをイオン注入法で行なうのでなく、S2に添加する不純物の添加量と加える高周波パワーにより制御する点も特徴である。

そのため耐圧20～30V、V_{th} -4～+4Vを±0.2Vの範囲で制御できた。さらに周波数特性がチャネル長が0.1～1μのマイクロチャネルのため、これまでの単結晶型の絶縁ゲイト型半導体装置の1/5～1/50を非単結晶半導体を用いたのにもかかわらず、得ることができた。

また逆方向リークであるが、第1図に示すようなS1とS2との間に窒化珪素（Si_3N_{4-x} ($0<x<4$)）を10～40Åの厚さに挿入することにより、このN⁺I P⁺接合またはP⁺I N⁺接合のリークは逆方向に10Vを加えても1μA以下であつた。これは単結晶の逆方向リークに匹敵する好ましいものであつた。

またS1またはS3に例えば酸素または窒素を2～20モル%、また炭素を5～30モル%添加す

(27)

(28)

ると、第2図に示した構造においては同様に逆方向にリークが少なく、またS2、S3のエツチングの際、S1をオーバーエツチしてしまうことを防ぎ、プロセス上も好ましかつた。この低リーク特性は無添加の場合に比べて1/10～1/10²倍もリークが少なかつた。このリークが少ないことが第1図のマトリツクス構造を実施する時きわめて有効であることは当然である。

さらにこの逆方向リークはこの積層型のS1、S2、S3をともにアモルファス珪素の半導体のみで作つた場合、逆方向バイヤスを10V加えると1mA以上あつたが、これをSASとすると5～50μAにまで下つた。それはS1、S3のP⁺またはN⁺型の半導体におけるB、Pの不純物が置換型に配位し、そのイオン化率が単結晶と同じく4N以上となつたこと、およびその活性化エネルギもアモルファスの場合の0.2～0.3eVより0.005～0.001eVと小さくなり、電気伝導度もASの10^{-}～10^{-}(Ωcm)に対し10^{-}～10^{-}(Ωcm)ときわめて大きくなつたことにある。

このため一度配位した不純物が積層中にアウトデイフユージヨンせず、結果として接合がきれいにできたことによる。

さらにかかる積層型のIGFのため従来のように高精度のフオトリソグラフイ技術を用いることなく、基板特に絶縁基板上に複数個のIGF、抵抗、キヤパシタを作ることが可能になつた。そして液晶表示デイスプレイにまで発展させることが可能となつた。

本発明における半導体は珪素、絶縁体は酸化珪素または窒化珪素を用いた。しかし半導体としてゲルマニユーム、Si_xGe_{1-x} ($0<x<1$)、BP、GaAs等を用いてもよい。

また非単結晶半導体においてSASではなくアモルファスまたは結晶粒径が50～5000Åの大きないわゆる多結晶半導体であつてもよいことはいうまでもない。

~~また非単結晶半導体においてSASではなくア~~

(29)

(30)

4.図面の簡単な説明

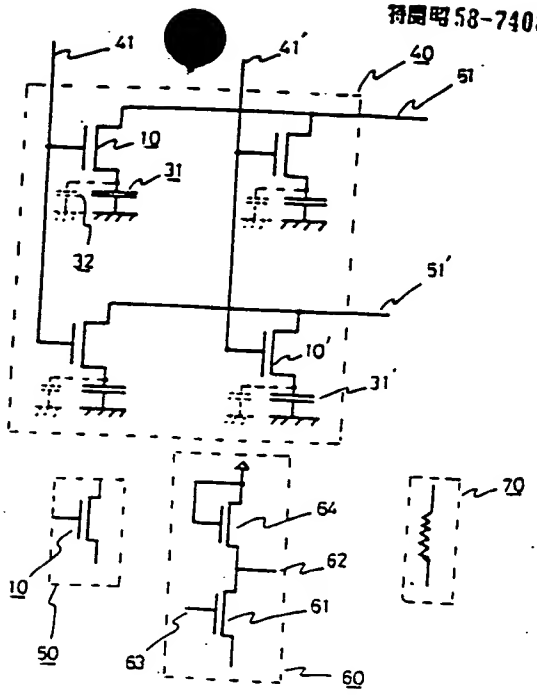
第1図は本発明による絶縁ゲイト型半導体装置、インバータ抵抗、キャパシタまたは絶縁ゲイト型半導体装置とキャパシタとを組合せたマトリクス構造の等価回路を示す。

第2図は本発明の積層型絶縁ゲイト型半導体装置およびその作製工程を示す断面図である。

第3図は本発明の他の半導体装置を示す。

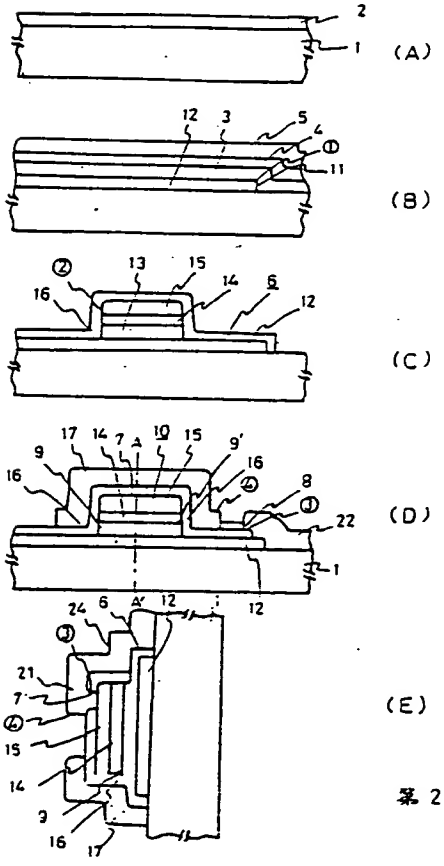
第4図および第5図は本発明の積層型絶縁ゲイト型半導体装置とキャパシタまたは液晶とを一体化した平面ディスプレイを構成する半導体装置を示す。

出願人
株式会社半導体エネルギー研究所
代表者 山崎舜平

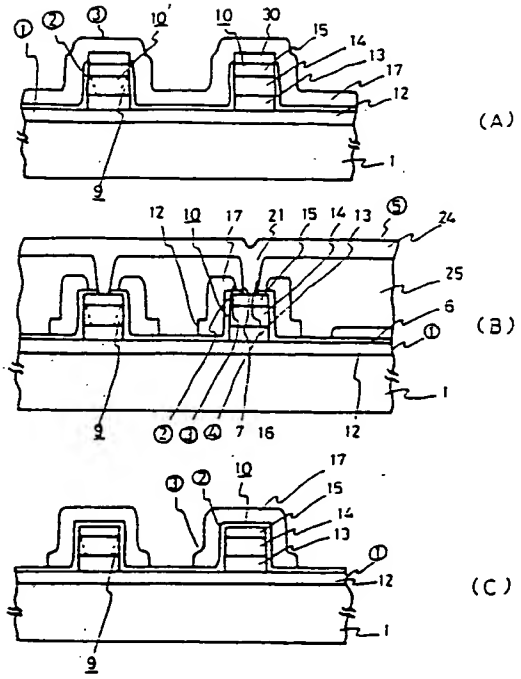


第1図

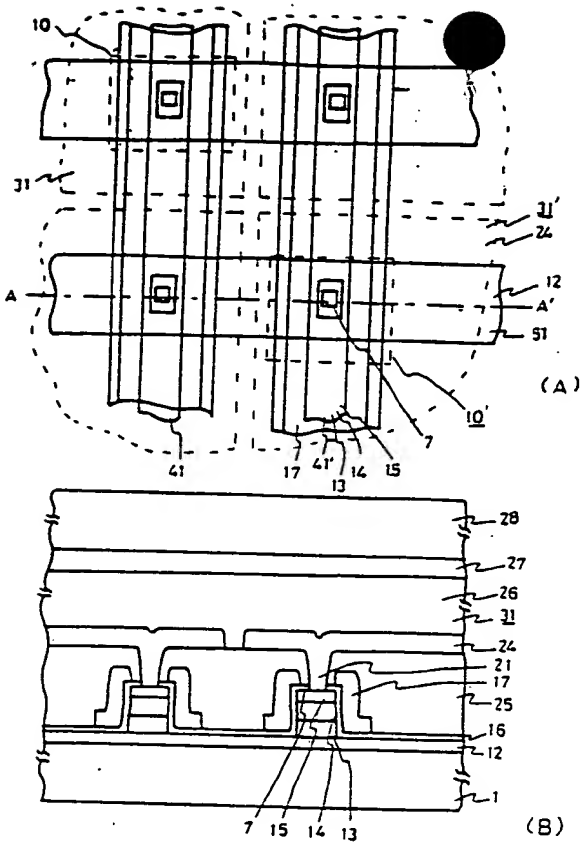
(31)



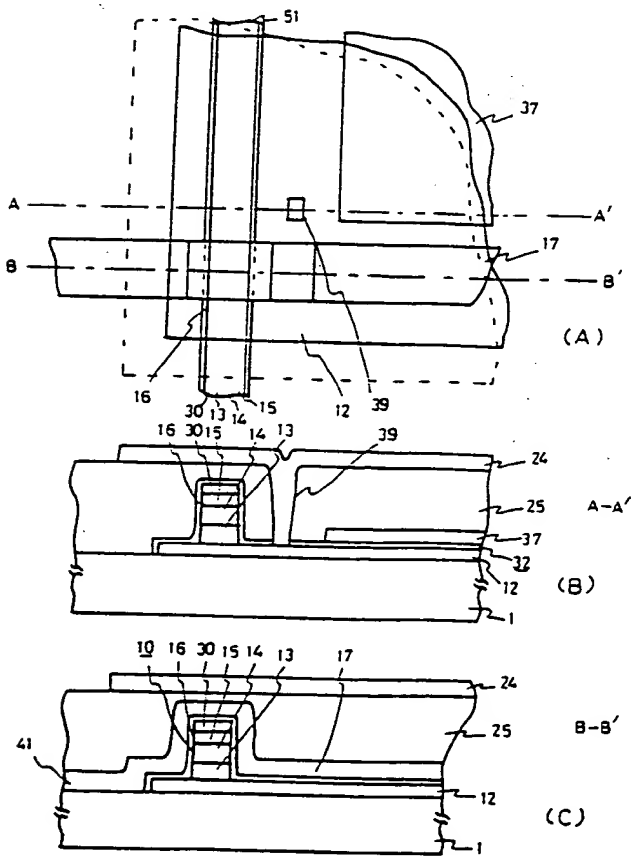
第2図



第3図


10
31
31'
24
A
12
A'
51
10'
7
41
17
41'
14
15
13
(A)
28
27
26
31
24
21
17
25
16
12
1
7
15
14
13
(B)

第4図


51
37
A
A'
17
B
B'
(A)
16
30
13
14
15
12
39
16
30
15
14
13
39
24
25
A-A'
37
32
12
(B)
1
10
16
30
15
14
13
17
24
25
B-B'
41
12
(C)
1

第5図